

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-086695
(43)Date of publication of application : 20.03.2003

(51)Int.CI.

H01L 21/822
H01L 21/3205
H01L 21/768
H01L 27/04

(21)Application number : 2001-276987

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.09.2001

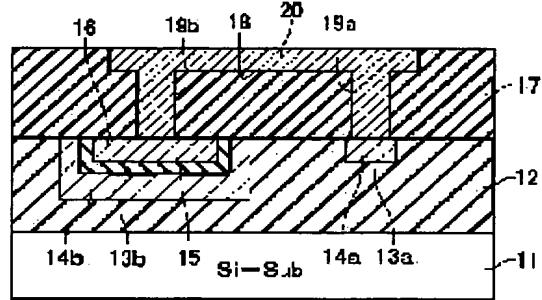
(72)Inventor : AKIYAMA KAZUTAKA

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device suitable damascene wiring structure and its manufacturing method.

SOLUTION: A first trench 13a is formed in a wiring region of an insulating film 12 on a silicon substrate 11, and a second trench 13b which is wider than the first trench 13a is formed in a capacitor region. A first conductor film 14 is deposited so as to fill the first trench 13a perfectly and fill the second trench 13b halfway. A capacitor insulating film 15 is deposited so as to fill the second trench 13b halfway, and a second conductor film 16 is deposited on the insulating film 15 so as to fill the second trench 13b perfectly. A lamination film of the second conductor film 16, a capacitor insulating film 15 and a first conductor film 14 is polished until the insulating film 12 is exposed. A wire formed of the first conductor film is buried in the first trench 13a. A capacitor constituted of the first conductor film, the capacitor insulating film and the second conductor film is buried in the second trench 13b.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-86695

(P2003-86695A)

(43)公開日 平成15年3月20日 (2003.3.20)

(51)Int.Cl.⁷
H 0 1 L 21/822
21/3205
21/768
27/04

識別記号

F I
H 0 1 L 27/04
21/88
21/90

テ-マコード*(参考)
C 5 F 0 3 3
M 5 F 0 3 8
S
A

審査請求 未請求 請求項の数13 O.L (全 8 頁)

(21)出願番号 特願2001-276987(P2001-276987)

(22)出願日 平成13年9月12日 (2001.9.12)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 秋山 和隆

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100092820

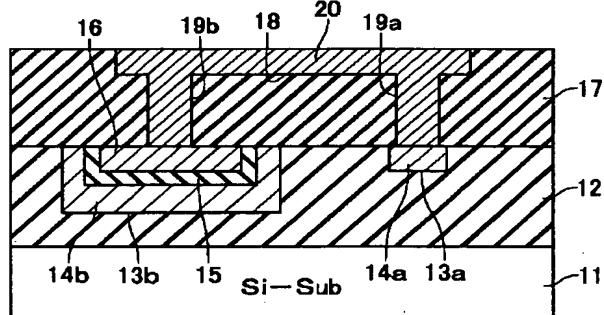
弁理士 伊丹 勝

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 好ましいダマシーン配線構造を持つ半導体装置とその製造方法を提供する。

【解決手段】 シリコン基板11上の絶縁膜12の配線領域に第1の溝13aを形成し、キャパシタ領域に第1の溝13aより幅が広い第2の溝13bを形成する。そして、第1の溝13aを完全に埋め込み、第2の溝13bを途中まで埋めるように第1の導体膜14を堆積する。さらに、第2の溝13bの途中まで埋めるようにキャパシタ絶縁膜15を堆積し、その上に第2の溝13bを完全に埋めるように第2の導体膜16を堆積する。第2の導体膜16、キャパシタ絶縁膜15及び第1の導体膜14の積層膜を、絶縁膜12が露出するまで研磨して、第1の溝13aに第1の導体膜による配線を、第2の溝13bに第1の導体膜、キャパシタ絶縁膜及び第2の導体膜からなるキャパシタを埋め込む。



1

【特許請求の範囲】

【請求項1】 半導体基板と、
 この半導体基板上に形成された絶縁膜と、
 この絶縁膜に形成された第1の溝に表面が平坦になるよう
 に埋め込まれた配線と、
 前記絶縁膜に形成された前記第1の溝より幅の広い第2
 の溝に表面が平坦になるよう埋め込まれた、前記配線
 の材料と同じ第1の導体膜とキャパシタ絶縁膜及び第2
 の導体膜の積層構造からなるキャパシタと、を有すること
 を特徴とする半導体装置。

【請求項2】 前記第2の溝は、前記第1の溝より深く
 形成されていることを特徴とする請求項1記載の半導体
 装置。

【請求項3】 前記第2の溝は、前記第1の溝と同じ深さ
 に形成されていることを特徴とする請求項1記載の半
 導体装置。

【請求項4】 半導体基板と、
 この半導体基板上に形成された絶縁膜と、
 この絶縁膜に形成されたコンタクト部を幅広とした配線
 溝に平坦に埋め込まれた配線とを有し、
 前記配線は、前記コンタクト部においては第1の導体膜
 とその上面の一部を覆う第2の導体膜の積層構造からなり、
 前記コンタクト部以外では前記第1の導体膜のみからなることを特徴とする半導体装置。

【請求項5】 半導体基板上の絶縁膜の配線領域に第1
 の溝を形成し、キャパシタ領域に第1の溝より幅が広い
 第2の溝を形成する工程と、
 前記第1及び第2の溝が形成された前記絶縁膜上に、前
 記第1の溝を完全に埋め込み、前記第2の溝を途中まで
 埋めるように第1の導体膜を堆積する工程と、
 前記導体膜上に前記第2の溝の途中まで埋めるようにキ
 ャパシタ絶縁膜を堆積する工程と、
 前記キャパシタ絶縁膜上に前記第2の溝を完全に埋める
 ように第2の導体膜を堆積する工程と、
 前記第2の導体膜、キャパシタ絶縁膜及び第1の導体膜
 の積層膜を、前記絶縁膜が露出するまで研磨して、前記
 第1の溝に前記第1の導体膜による配線を、前記第2の
 溝に前記第1の導体膜、キャパシタ絶縁膜及び第2の導
 体膜からなるキャパシタを埋め込む工程と、を有すること
 を特徴とする半導体装置の製造方法。

【請求項6】 前記第2の溝は前記第1の溝より深く形
 成し、前記第1の導体膜は、前記第1の溝の深さ以上の
 厚さで堆積することにより前記第1の溝を埋め込むこと
 を特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記第1の溝と第2の溝は同じ深さに形
 成し、前記第1の導体膜は、埋め込み促進剤を含むメッ
 キ液でメッキすることにより前記第1の溝を埋め込むこと
 を特徴とする請求項5記載の半導体装置の製造方法。

【請求項8】 前記第1の導体膜は、メッキ法によるCu
 膜であることを特徴とする請求項5記載の半導体装置

2

の製造方法。

【請求項9】 前記第2の導体膜は、CVD法によるTiN膜であることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 前記配線及びキャパシタを覆う層間絶縁膜を堆積する工程と、
 前記層間絶縁膜に、前記配線及びキャパシタに接続する
 ための上部配線用及びコンタクト用溝を形成する工程
 と、

10 前記上部配線用及びコンタクト用溝に第3の導体膜を埋
 め込む工程と、を更に備えたことを特徴とする請求項5
 記載の半導体装置の製造方法。

【請求項11】 半導体基板上の絶縁膜に幅の狭い配線
 部とこれに連続する幅の広いコンタクト部を有する溝を
 形成する工程と、

前記溝が形成された前記絶縁膜上に、前記配線部を完全
 に埋め、前記コンタクト部を途中まで埋めるように第1
 の導体膜を堆積する工程と、

前記第1の導体膜上に前記コンタクト部を完全に埋める
 ように第2の導体膜を堆積する工程と、

前記第2の導体膜及び第1の導体膜を研磨して、前記配
 線部に第1の導体膜のみが埋め込まれ、前記コンタクト
 部に第1の導体膜と第2の導体膜の積層膜が埋め込まれた
 配線を形成する工程と、を有することを特徴とする半
 導体装置の製造方法。

【請求項12】 前記第1の導体膜はメッキ法によるCu
 膜であり、前記第2の導体膜はCVD法によるTiN
 膜であることを特徴とする請求項11記載の半導体装置
 の製造方法。

30 【請求項13】 前記配線を覆う層間絶縁膜を堆積する
 工程と、
 前記層間絶縁膜に、前記配線に接続するための上部配線
 用及びコンタクト用溝を形成する工程と、
 前記上部配線用及びコンタクト用溝に第3の導体膜を埋
 め込む工程と、を更に備えたことを特徴とする請求項1
 1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置に係
 り、特に埋め込み配線構造を持つ半導体装置とその製造
 方法に関する。

【0002】

【従来の技術】 半導体集積回路の素子間接続を行うメタ
 ル配線は、従来一般的に、絶縁膜上に成膜したA1等の
 メタル膜をリソグラフィと異方性エッチングによりパタ
 ーニングして形成されている。しかし、素子の微細化に
 伴う配線のライン/スペースの微細化により、パターン
 形成された配線のスペースに絶縁膜を埋めることが困難
 になりつつある。そこで、従来のA1配線の形成方法に
 代わって、絶縁膜に配線溝を加工して、この配線溝にメ

3

ッキ法によってCu等を埋め込むダマシーン法が用いられるようになっている。

【0003】また、集積回路内に大きな容量を必要とする場合、従来のシリコン／絶縁膜／シリコンによるキャパシタに代わって、絶縁膜上の配線領域内に、メタル(M)／絶縁膜(I)／メタル(M)の積層構造からなるMIMキャパシタを形成することも行われる。この場合、MIMキャパシタの電極を配線と同時に形成することが好ましい。

【0004】図13～図16は、ダマシーン法によるCu配線と同時にMIMキャパシタを形成する工程例を示している。図13に示すように、シリコン基板1上に形成された絶縁膜2に、異方性エッティングによって配線溝3aと同時にキャパシタ領域に溝3bを形成する。そして、Cuメッキ法により、図14に示すように配線4aと同時にキャパシタ下部電極4bをそれぞれ、溝3a, 3bに埋め込み形成し、更にSiN等のキャパシタ絶縁膜5と、TiN等の上部電極膜6を積層形成する。この上部電極膜6とキャパシタ絶縁膜5を順次エッティングすることにより、図15に示すようにキャパシタを形成する。更に、図16に示すように、層間絶縁膜7を堆積し、この上に再度ダマシーン法によって、必要なコンタクト部8a, 8bと上部配線9を埋め込み形成する。

【0005】

【発明が解決しようとする課題】この様な従来のCuダマシーン法では、次のような問題がある。

①図15に示すように、キャパシタは突出した状態に形成される。従って、図16に示す層間絶縁膜7は、成膜後に平坦化する処理が必要になる。最初のCuダマシーン配線の埋め込みにも平坦化処理が必要であるから、少なくとも2回の平坦化工程が必要になる。これらの平坦化には具体的には、化学的機械的研磨(CMP)処理が用いられる。

②図16に示すように、上部配線9のコンタクト部8a, 8bの深さが異なり、コンタクトホール形成時には、浅い方でオーバーエッティングが生じ、下地のエッティングを抑えるためには、絶縁膜とその下地の間で大きなエッティング選択比が必要になる。

③上部配線のコンタクトホールを異方性エッティングにより形成する際、コンタクトホールに露出するCu配線4aの表面が酸化され、抵抗が増加しやすい。

【0006】この発明は、好ましいダマシーン配線構造を持つ半導体装置とその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】この発明に係る半導体装置は、半導体基板と、この半導体基板上に形成された絶縁膜と、この絶縁膜に形成された第1の溝に表面が平坦になるように埋め込まれた配線と、前記絶縁膜に形成された前記第1の溝より幅の広い第2の溝に表面が平坦に

4

なるように埋め込まれた、前記配線の材料と同じ第1の導体膜とキャパシタ絶縁膜及び第2の導体膜の積層構造からなるキャパシタと、を有することを特徴とする。

【0008】この発明による半導体装置の製造方法は、半導体基板上の絶縁膜の配線領域に第1の溝を形成し、キャパシタ領域に第1の溝より幅が広い第2の溝を形成する工程と、前記第1及び第2の溝が形成された前記絶縁膜上に、前記第1の溝を完全に埋め込み、前記第2の溝を途中まで埋めるように第1の導体膜を堆積する工程と、前記導体膜上に前記第2の溝の途中まで埋めるようにキャパシタ絶縁膜を堆積する工程と、前記キャパシタ絶縁膜上に前記第2の溝を完全に埋めるように第2の導体膜を堆積する工程と、前記第2の導体膜、キャパシタ絶縁膜及び第1の導体膜の積層膜を、前記絶縁膜が露出するまで研磨して、前記第1の溝に前記第1の導体膜による配線を、前記第2の溝に前記第1の導体膜、キャパシタ絶縁膜及び第2の導体膜からなるキャパシタを埋め込む工程と、を有することを特徴とする。

【0009】この発明によると、配線とMIMキャパシタを、これらを埋め込む溝の幅の違いを利用していずれも表面が平坦になるように埋め込む。この工程では平坦化処理が必要であるが、形成されたMIMキャパシタは突出しないから、その後形成する層間絶縁膜については平坦化処理が必要ない。しかも、その層間絶縁膜上に形成する上部配線のコンタクトは、下部配線に対する部分とMIMキャパシタに対する部分とで同じ深さになり、加工が容易になる。

【0010】この発明による半導体装置はまた、半導体基板と、この半導体基板上に形成された絶縁膜と、この絶縁膜に形成されたコンタクト部を幅広とした配線溝に平坦に埋め込まれた配線とを有し、前記配線は、前記コンタクト部においては第1の導体膜とその上面の一部を覆う第2の導体膜の積層構造からなり、前記コンタクト部以外では前記第1の導体膜のみからなることを特徴とする。

【0011】この発明による半導体装置の製造方法はまた、半導体基板上の絶縁膜に幅の狭い配線部とこれに連続する幅の広いコンタクト部を有する溝を形成する工程と、前記溝が形成された前記絶縁膜上に、前記配線部を完全に埋め、前記コンタクト部を途中まで埋めるように第1の導体膜を堆積する工程と、前記第1の導体膜上に前記コンタクト部を完全に埋めるように第2の導体膜を堆積する工程と、前記第2の導体膜及び第1の導体膜を研磨して、前記配線部に第1の導体膜のみが埋め込まれ、前記コンタクト部に第1の導体膜と第2の導体膜の積層膜が埋め込まれた配線を形成する工程と、を有することを特徴とする。

【0012】この様な配線構造及び配線形成工程を用いると、第1の導体膜からなる下部配線のコンタクト部のみ第2の導体膜が形成された状態にすることができる。

5

従って第2の導体膜を耐酸化性に優れた膜とすれば、コンタクトホール形成時の下部配線の酸化が防止され、低抵抗の配線コンタクトが得られる。

【0013】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】図1A及び図1Bは、シリコン基板11に形成されたシリコン酸化膜等の絶縁膜12に、配線及びキャパシタ用の溝13a, 13bを形成した状態の平面図とそのI-I'断面図である。配線領域の溝13aに比べて、キャパシタ領域の溝13bは、幅が大きく且つ深い。従って、これらの溝形成には、2回のリソグラフィと異方性エッチングを行うことになる。

【0014】具体的に例えば、配線用の溝13aは、幅0.2μmで、深さ0.4μmとし、キャパシタ領域の溝13aは、必要とするキャパシタ容量により異なるが、幅数10μm乃至100μm程度であり、深さはキャパシタ全体に必要とされる値にする。なおキャパシタの下部電極からの引き出し配線部となる領域には、配線領域と同様の幅と深さの配線溝13cを形成する。

【0015】この後、図2に示すように、第1の導体膜14、キャパシタ絶縁膜15及び第2の導体膜16を順次堆積する。第1の導体膜14は、メッキ法によるCu膜である。具体的には、メッキ前に、TaN膜とCu膜をPVD法により堆積して、これらを電極としてCu膜をメッキする。この第1の導体膜14は、配線領域の溝13aを完全に埋めるに必要な厚さ、具体的には配線用溝13aの深さ以上の厚さとする。キャパシタ領域の溝13bは、第1の導体膜14では途中までしか埋まらない状態とする。

【0016】キャパシタ絶縁膜15は、0.1μm程度のSiN膜であり、第2の導体膜16は0.15μm程度のTiN膜である。これらはCVD法により堆積する。ここで必要な条件は、キャパシタ絶縁膜15を堆積した段階でも、キャパシタ領域の溝13bは深さ方向にまだ完全には埋まらないことである。

【0017】この後、平坦化処理を行う。即ち、第2の導体膜16、キャパシタ絶縁膜15及び第1の導体膜14をCMPにより、絶縁膜12の表面が露出するまで研磨する。図3A及び図3Bは、こうして得られた状態を示す平面図とそのI-I'断面図である。狭い溝13aには、第1の導体膜14のみによる配線14aが平坦に埋め込まれる。キャパシタ領域に溝13bには、第1の導体膜14による下部電極14b、キャパシタ絶縁膜16及び第2の導体膜16による上部電極からなるキャパシタが平坦に埋め込まれる。キャパシタの下部電極14bに接続される配線14cは、配線14aと同様に第1の導体膜のみによる配線となる。

【0018】この後、図4に示すように層間絶縁膜17を堆積し、これに配線溝18とコンタクトホール19

6

a, 19bを異方性エッチングにより形成し、第3の導体膜20を埋め込む。この第3の導体膜20もメッキ法によるCu膜とする。具体的には、TaN膜とCu膜をPVD法により堆積した後、これらを電極としてCu膜をメッキする。

【0019】この実施の形態によると、キャパシタと配線が共に平坦に埋め込まれるから、図4に示す層間絶縁膜17は、平坦化処理を必要としない。従って、従来に比べて、平坦化工程が少なくなる。しかも、キャパシタが突出していないから、図4に示すコンタクトホール19a, 19bは同じ深さになり、オーバーエッチングを生じることなく、コンタクトホール形成が可能になる。

【0020】【実施の形態2】実施の形態1では、配線埋め込み用の溝とキャパシタ埋め込み用の溝の深さを異ならせたが、溝深さを同じにしても同様に構造を得ることができる。その様な実施の形態を図5～図8を用いて説明する。なお、先の実施の形態と対応する部分には同じ符号を付してある。

【0021】図5に示すように、シリコン基板11に形成された絶縁膜12に、配線埋め込み用の溝13aとキャパシタ埋め込み用の溝13bを形成する。配線用の溝13aの幅は例えば0.2μmとし、キャパシタ用の溝13bの幅はキャパシタ容量に必要な数10μm乃至100μm程度とする。また溝13a, 13bの深さは、キャパシタ全体を埋め込むに必要な同じ深さ、例えば0.4μm程度とし、従って一回の異方性エッチングにより形成される。

【0022】この後、図6に示すように、第1の導体膜14、キャパシタ絶縁膜15及び第2の導体膜16を順次堆積する。第1の導体膜14は、メッキ法によるCu膜である。具体的には、メッキ前に、TaN膜とCu膜をPVD法により堆積して、これらを電極としてCu膜をメッキする。この第1の導体膜14は、配線領域の溝13aを完全に埋めるようにする。配線領域の溝13aは幅が狭く且つ深いから、埋め込み性が悪い。そこで、メッキ液中に埋め込み促進剤を添加して、溝13aを完全に埋めるようにする。キャパシタ領域の溝13bは、第1の導体膜14では途中までしか埋まらない状態とする。

【0023】キャパシタ絶縁膜15は、0.1μm程度のSiN膜であり、第2の導体膜16は0.15μm程度のTiN膜である。これらはCVD法により堆積する。ここで必要な条件は、キャパシタ絶縁膜15を堆積した段階でも、キャパシタ領域の溝13bは深さ方向にまだ完全には埋まらないことである。

【0024】この後、平坦化処理を行う。即ち、第2の導体膜16、キャパシタ絶縁膜15及び第1の導体膜14をCMPにより、図7に示すように、絶縁膜12の表面が露出するまで研磨する。これにより、狭い溝13aには、第1の導体膜14のみによる配線14aが平坦に

埋め込まれる。キャパシタ領域に溝13bには、第1の導体膜14による下部電極14b、キャパシタ絶縁膜16及び第2の導体膜16による上部電極からなるキャパシタが平坦に埋め込まれる。

【0025】この後、図8に示すように層間絶縁膜17を堆積し、これに配線溝18とコンタクトホール19a、19bを異方性エッチングにより形成し、第3の導体膜20を埋め込む。この第3の導体膜20もメッキ法によるCu膜とする。具体的には、TaN膜とCu膜をPVD法により堆積した後、これらを電極としてCu膜をメッキする。

【0026】この実施の形態によっても、キャパシタと配線が共に平坦に埋め込まれるから、図8に示す層間絶縁膜17は、平坦化処理を必要としない。従って、従来に比べて、平坦化工程が少なくなる。しかも、キャパシタが突出していないから、図8に示すコンタクトホール19a、19bは同じ深さになり、オーバーエッチングを生じることなく、コンタクトホール形成が可能になる。

【0027】【実施の形態3】次に、Cuダマシーン配線で問題になる配線コンタクト部の酸化防止を図った実施の形態を、図9A～図12を参照して説明する。図9Aは、配線溝形成時の平面図であり、図9BはそのI-I'及びII-II'断面図である。シリコン基板21に形成された絶縁膜22に、異方性エッチングによって、配線溝23(23a, 23b)を形成する。配線部の溝23aに比べてコンタクト部の溝23bは、幅広に形成する。

【0028】この後、図10に示すように配線用の第1の導体膜24を堆積し、更に耐酸化性に優れた第2の導体膜25を堆積する。第1の導体膜24は、メッキ法によるCu膜である。具体的には、メッキ前に、TaN膜とCu膜をPVD法により堆積して、これらを電極としてCu膜をメッキする。この第1の導体膜24は、配線部の溝23aを完全に埋め、コンタクト部の溝23bは途中まで埋めるようにする。第2の導体膜25はCVDによるTiN膜である。

【0029】この後、平坦化処理を行う。即ち、第2の導体膜25及び第1の導体膜24をCMPにより、図11A及び図11Bに示すように、絶縁膜22の表面が露出するまで研磨する。これにより、幅の狭い溝23aには、第1の導体膜24のみによる配線が平坦に埋め込まれる。幅の広いコンタクト部の溝23bには、第1の導体膜24による配線の表面中央に第2の導体膜25が選択的に残された状態が得られる。

【0030】この後、図12に示すように層間絶縁膜26を堆積し、これに配線溝27とコンタクトホール28を異方性エッチングにより形成し、第3の導体膜29を埋め込む。この第3の導体膜29もメッキ法によるCu膜とする。具体的には、TaN膜とCu膜をPVD法に

より堆積した後、これらを電極としてCu膜をメッキする。

【0031】以上のようにこの実施の形態によると、Cu配線のコンタクト部のみに、耐酸化性に優れたTiN膜を形成することができる。この結果、コンタクトホール形成後のCu配線の酸化を防止することができ、低抵抗の安定したコンタクトが可能になる。

【0032】なお、Cu埋め込み配線のコンタクト部の耐腐食性を改善するために、配線を積層構造とすることは、従来より提案されている。その方法は、配線溝にまずCu膜を平坦に埋め込み、その後Cu膜に表面をウェットエッチングによりリセスする。そして、CVD等によりTiN膜を成膜して平坦化する。しかしこの方法では、埋め込みCu配線全体をリセスエッチングするためには、配線全体のCu膜が薄くなり、配線抵抗が高くなってしまう。この実施の形態の場合には、コンタクト部についてのみ、Cu埋め込み配線の中央部にTiN膜が残される状態になるので、配線抵抗が高くなることはなく、この点で優れている。

【0033】この実施の形態は、先の実施の形態1、2で説明したMIMキャパシタを含む配線構造のなかで実施することも可能である。但しこの場合、配線コンタクト部にはキャパシタ絶縁膜が残らないようにすることが必要であり、キャパシタ絶縁膜のエッチング工程が入る。

【0034】

【発明の効果】以上述べたようにこの発明によれば、好みのダマシーン配線構造を持つ半導体装置が得られる。

【図面の簡単な説明】

【図1A】この発明の実施の形態による溝形成工程を示す平面図である。

【図1B】図1AのI-I'断面図である。

【図2】同実施の形態の導体膜/キャパシタ絶縁膜/導体膜の積層工程を示す断面図である。

【図3A】同実施の形態の平坦化工程を示す平面図である。

【図3B】図3AのI-I'断面図である。

【図4】同実施の形態の上部配線形成工程を示す断面図である。

【図5】他の実施の形態による溝形成工程を示す断面図である。

【図6】同実施の形態の導体膜/キャパシタ絶縁膜/導体膜の積層工程を示す断面図である。

【図7】同実施の形態の平坦化工程を示す平面図である。

【図8】同実施の形態の上部配線形成工程を示す断面図である。

【図9A】他の実施の形態による溝形成工程を示す平面図である。

9

【図9B】図9AのI-I'及びII-II'断面図である。

【図10】同実施の形態の導体膜積層工程を示す断面図である。

【図11A】同実施の形態の平坦化工程を示す平面図である。

【図11B】同実施の形態の平坦化工程を示す断面図である。

【図12】同実施の形態の上部配線形成工程を示す断面図である。

【図13】従来例の配線溝形成工程を示す断面図である。

【図14】同従来例の導体膜/キャパシタ絶縁膜/導体膜の積層工程を示す断面図である。

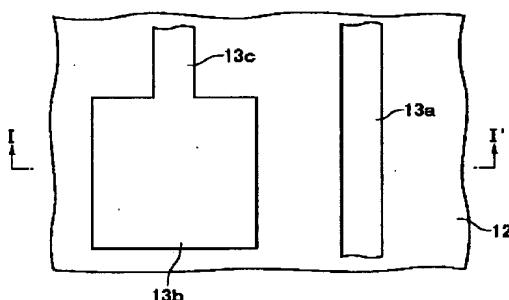
* 【図15】同従来例のキャパシタ形成工程を示す断面図である。

【図16】同従来例の上部配線形成工程を示す断面図である。

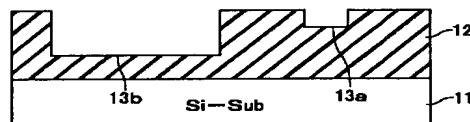
【符号の説明】

11…シリコン基板、12…絶縁膜、13a, 13b, 13c…溝、14…第1の導体膜、15…キャパシタ絶縁膜、16…第2の導体膜、17…層間絶縁膜、18…溝、19a, 19b…コンタクトホール、20…第3の導体膜、21…シリコン基板、22…絶縁膜、23a, 23b…溝、24…第1の導体膜、25…第2の導体膜、26…層間絶縁膜、27…溝、28…コンタクトホール、29…第3の導体膜。

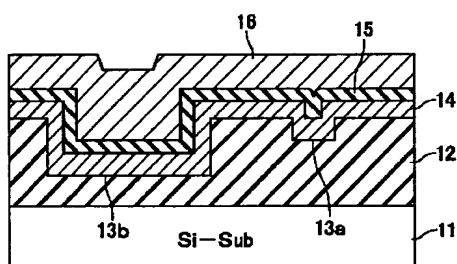
【図1A】



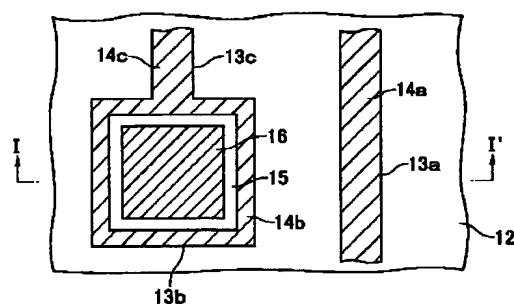
【図1B】



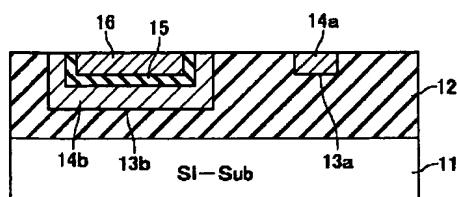
【図2】



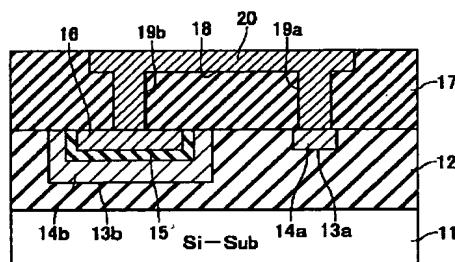
【図3A】



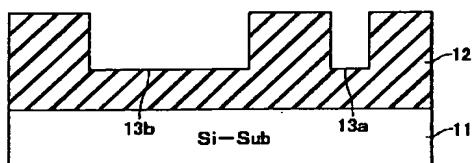
【図3B】



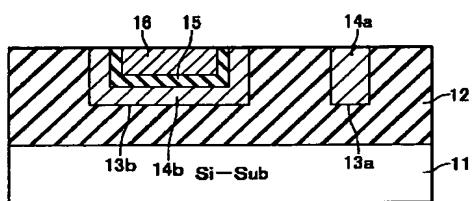
【図4】



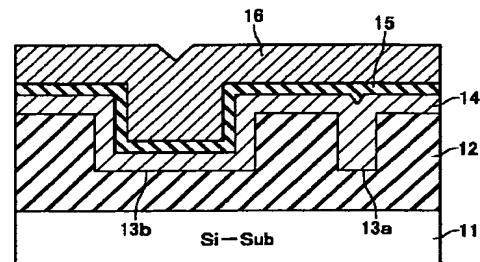
【図5】



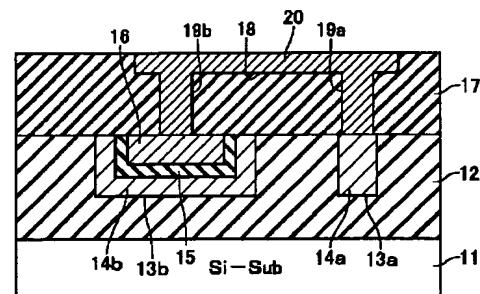
【図7】



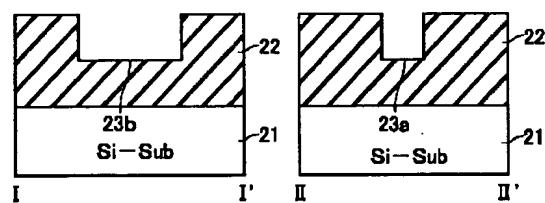
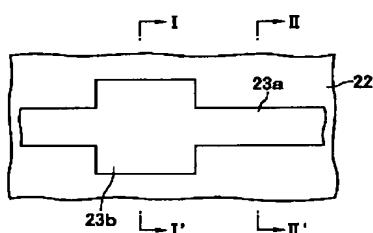
【図6】



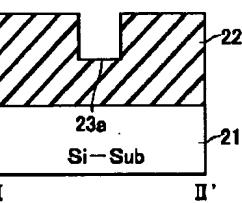
【図8】



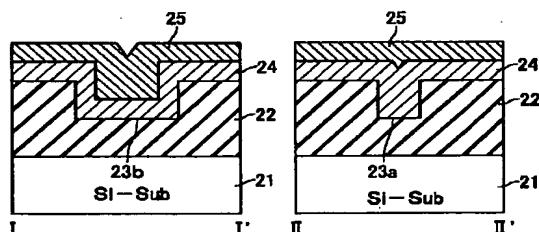
【図9 A】



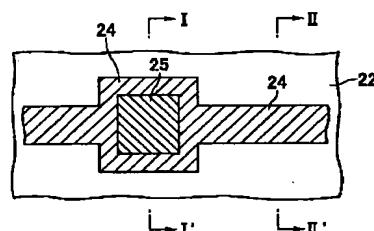
【図9 B】



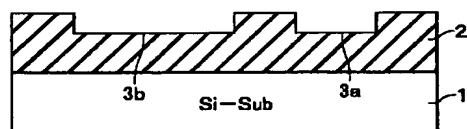
【図10】



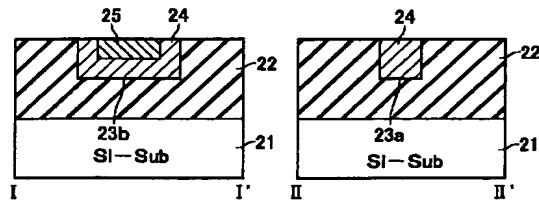
【図11 A】



【図13】

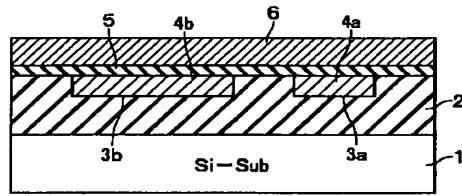
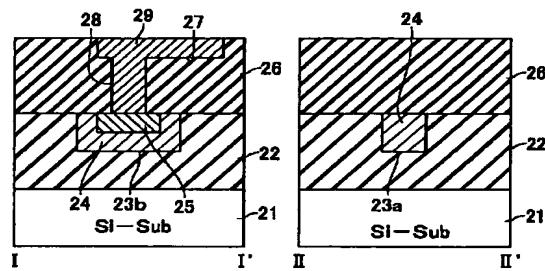


【図11B】



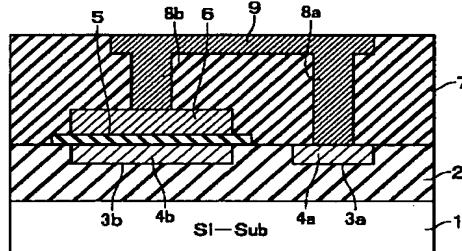
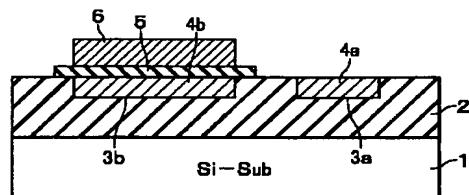
【図14】

【図12】



【図16】

【図15】



フロントページの続き

Fターム(参考) 5F033 HH11 HH32 JJ01 JJ11 JJ32
 KK11 KK32 KK33 MM01 MM12
 MM13 NN06 NN07 NN12 PP14
 PP27 QQ09 QQ16 QQ37 QQ48
 RR04 VV10 XX08
 5F038 AC05 AC10 AC17 EZ15 EZ20